

量子1個を操るマイクロプロッセの開発に世界で初めて成功
— 超高速超低消費電力コンピュータに道 —

平成16年2月16日

名古屋大学

横浜国立大学

(財)国際超電導産業技術研究センター

名古屋大学(藤巻朗助教授)と横浜国立大学(吉川信行助教授)及び財団法人国際超電導産業技術研究センター(ISTEC 理事長荒木 浩)及び、独立行政法人通信総合研究所(CRL 理事長飯田尚志)は、このたび量子1個を操る単一磁束量子回路^(注1)によるマイクロプロッセの高速動作実証に世界で初めて成功しました。消費電力は1.6ミリワット(mW)と半導体に比べ4桁以上小さく、動作周波数は最大で15.2ギガヘルツ(GHz)と1桁高速です。集積回路内への雑音混入を抑えたうえ、ピコ秒オーダー(ピコ秒は1兆分の1秒)で信号のタイミングを制御したことで実現されたもので、将来のコンピュータなど数十GHzから100GHzで動作する超高速大規模集積回路(超高速LSI)の実現へ向け、大きな前進となる成果です。

本研究は、「低消費電力型超電導ネットワークデバイスの開発」事業(プロジェクトリーダー・名古屋大学早川尚夫教授)として、新エネルギー・産業技術総合開発機構(NEDO)の委託を受けて実施したものです。

現在進んでいる急激なブロードバンド化はまだしばらくは続くと考えられ、ネットワーク中のデータを処理するルーターやサーバーには将来にわたって一段と高い処理能力が求め続けられます。しかしながら、半導体技術はチップの発熱(すでに一平方センチメートル当たりの発熱量は調理用のホットプレートの10倍に達しています。)と長い配線の遅延時間(長い配線は一種の蓄電池として働きます。トランジスタがいくら速くても蓄電池を充電する時間を短くすることができません。)の問題という高性能化に対する大きな障害に直面しています。この問題を根本から解決し得る技術が超電導現象を利用した単一磁束量子回路です。単一磁束量子回路は、発生する電圧がパルス状であり、その幅はわずかに数ピコ秒、高さは数百マイクロボルトです。したがって、現在の半導体と比べ1桁以上高速で、3桁以上低消費電力なLSIを構築することが可能で発熱の問題は全く考える必要はありません。一方、配線の問題も単一磁束量子回路では信号(パルス)が光の速度(固体中では 1×10^8 m/s程度)で伝わり、半導体の配線で問題となるような充放電現象による制限は受けません。

このように高い可能性を秘めた単一磁束量子回路でしたが、その特徴であるパルス状の電圧自身が設計を困難にしており、これまで大規模な集積回路はなかなか実証されませんでした。すなわち、集積回路内にある論理ゲートに到来する信号をすべてピコ秒のオーダーで制御する設計技術が確立されていませんでした。そこで、以下のような取り組みによって、設計技術の確立を目指しました。

- (1) 作製プロセスに依存する素子のばらつきを考慮に入れた設計

集積回路内の各素子(ジョセフソン接合^(注2)、インダクタンス、抵抗)は作製すると必ず特

性が設計値からずれ、またばらつきます。これらは、信号の到来のタイミングに影響を与えます。今回は、これらのばらつきがあっても動作するように回路パラメータを最適化しました。

(2) 電源電圧の変動を考慮した設計

電源電圧の変動も配線遅延時間や論理ゲートのスイッチング時間に影響を与えます。電圧の変動量とそれらの時間の関係をシミュレータによって抽出し、設計に生かすようにしています。

(3) 単一磁束量子集積回路への雑音混入低減

雑音はいろいろな原因で入りますが、単一磁束量子回路の場合は電源線から入る磁場の雑音がもっとも大きいことが分かりました。幸い超電導体は磁場を遮蔽する効果もあるため、電源線をできる限り超電導体で覆うことで磁場雑音の影響を低減しました。

(4) CONNECTセルベース設計技術の導入

論理ゲートや配線はインダクタンスや抵抗、ジョセフソン接合などからなっています。これらのある大きさの正方形の枠内にレイアウトし、これをセルとして登録しました。レイアウトでは電源線の遮蔽も行っています。実際の設計は、このセルを並べることによって実現します。このセルには上述したタイミングに関する情報もデータとして登録されており、それをういて並べ終えた後に所望の論理が得られるかどうかの検証も行えます。検証で合格した回路は、実際の集積回路のマスクパターン(レチクル)に一括変換され、その後NEC標準プロセス^(注3)によって作製されます。ここで登録したセルはCONNECTセルライブラリ^(注4)と呼ばれ、産官学の連携によって開発されました。現在、セルは250種類以上にのぼっています。

(5) クロック信号の分配方法の最適化

プロセッサのような回路には、同期を取るためのクロック信号が必要となります。しかしながら、ピコ秒という時間スケールでは、すでにチップ全体に同時にクロック信号を送ることは物理的に不可能で、非同期回路として設計する必要があります。非同期回路におけるクロック信号の配給方法にもいくつかありますが、今回のプロセッサでは、各コンポーネントごとに適したクロック供給方法^(注5)を採用し、高速で動作するようにしました。

設計したマイクロプロセッサは、約5000個のジョセフソン接合を $1.8 \times 2.8 \text{mm}^2$ の面積に集積化することで実現されています。また、半導体マイクロプロセッサで標準的に用いられているアーキテクチャ(コンピュータ構成法)に基づき、必要最小限の7つの命令を実行できます。加算などの演算は最高で15.2GHzで動作しました。そのときの消費電力は1.6mWであり、単一磁束量子回路の高速性と低消費電力性が実証されたものと言えます。マイクロプロセッサは信号処理回路の中でももっとも複雑なものであることから、今回の動作実証は数十GHz以上で動作する超高速大規模集積回路の実用化へ向けた大きな一歩となります。

なお、今回の成果につきましては、2月15日から19日まで米国カリフォルニア州サンフランシスコで開催されるISSCC(IEEE International Solid-State Circuits Conference、国際固体回路会議)において、17日に発表いたします。

[本件に関するお問合せ先]

名古屋大学大学院工学研究科量子工学専攻

助教授 藤巻朗

電話: 052-789-3323

(上記で連絡がつかない場合: 080-3636-2950)

FAX: 052-789-3160

e-mail: fujimaki@nuee.nagoya-u.ac.jp

(注1) 単一磁束量子回路

超電導リングの中では、磁束は 2.07×10^{-15} (WbもしくはV·s)を単位に量子化されます。この量子化された磁束の最小単位を単一磁束量子(SFQ)とよびます。単一磁束量子回路は超電導リング中のSFQの有無を"1", "0"の情報に対応させる回路です。超電導リングにはジョセフソン接合(注2参照)が含まれており、これをスイッチさせることにより、SFQの超電導リングへの出入りを制御します。単一磁束量子回路の論理ゲートのスイッチング速度は、半導体素子の10倍、消費電力は1/1000です。また、SFQ信号は超電導配線中を光速に近いスピードで減衰なしに伝わります。

(注2) ジョセフソン接合

超電導回路におけるスイッチで、半導体のトランジスタに対応します。超電導体同士が薄い絶縁体(約1nm)を通して弱く結合した構造をしており、臨界電流以上の電流が流れるとゼロ電圧状態から有限電圧状態に転移します。

(注3) NEC標準プロセス

Nb/AlOx/Nb構造のジョセフソン接合を抵抗体や配線層、接地面などとともに集積化させるプロセスです。NECが開発し、現在もっとも信頼性の高い単一磁束量子回路製造ラインとなっています。最小のジョセフソン接合の寸法は2ミクロン(マイクロメートル、1ミクロンは100万分の1メートル)で、半導体のような極端な微細加工をしなくとも高速性能を発揮できることが特徴です。現在は、NEC基礎研究所内にあるISTEC超電導工学研究所によって維持されています。

(注4) CONNECTセルライブラリ

NEC(現超電導工学研究所)、名古屋大学、横浜国立大学、通信総合研究所が共同で開発して運営している単一磁束量子回路用のセルライブラリです。NEC標準プロセスに基づいたライブラリとなっています。

(注5)クロック供給方法

非同期回路で論理演算を進めるにはいくつかの方法があります。その代表的なものにフロークロッキングがあります。これは、クロックをデータと組にして流す方法で、クロックとデータを同じ方向に流すコンカレントフローと反対方向に流すカウンターフローの2種類があります。今回の設計では、このほかにこの2種類の融合を図ったブランチクロッキング、さらにはクロック信号を用いない二分決定グラフなども適宜採用しています。これらは、回路全体にわたって同期が取れている必要がないため、クロックの高速化に有利です。一方、クロックとデータのローカルな順序関係が保たれている必要があり、すべてのゲートでクロックとデータの入カタイミングを検証する必要があります。